

## MANUFACTURE OF SEMICONDUCTOR DEVICE

**Publication number:** JP4116954

**Publication date:** 1992-04-17

**Inventor:** WATANABE MASAKI

**Applicant:** NIPPON ELECTRIC CO

**Classification:**

- international: **H01L21/768; H01L23/522; H01L21/70; H01L23/52;**  
(IPC1-7): H01L21/90

- European:

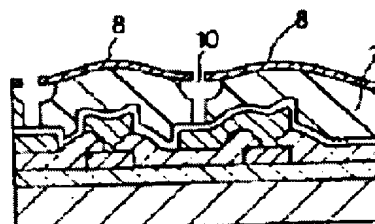
**Application number:** JP19900237420 19900907

**Priority number(s):** JP19900237420 19900907

[Report a data error here](#)

### Abstract of JP4116954

**PURPOSE:**To make possible the formation of a pattern in one time along with a fine work by a method wherein an isotropic etching and an anisotropic etching are performed in order on a polyimide organic interlayer insulating film using an Al film. **CONSTITUTION:**In an integrated circuit formed using a polyimide organic film 7 as an interlayer insulating film, an etching work to the film 7 is performed via an Al mask 8 having a roughly infinite selection ratio of etching in place of a conventional photoresist. Accordingly, the interlayer insulating film consisting of the film 7 can be finely worked with high accuracy. Moreover, as each process of an isotropic etching process and an anisotropic etching process can be performed using in common the one Al mask 8 at the time of formation of a through hole 10 in the film 7, the manufacturing process of a device is simplified.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-116954

⑤ Int. Cl.<sup>5</sup>  
H 01 L 21/90

識別記号 庁内整理番号  
S 6810-4M

④ 公開 平成4年(1992)4月17日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 平2-237420

⑱ 出 願 平2(1990)9月7日

⑲ 発 明 者 渡 辺 正 樹 東京都港区芝5丁目7番1号 日本電気株式会社内  
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

シリコン基板上に第1層のアルミ配線を形成するパターンニング工程と、前記第1層のアルミ配線上に無機絶縁膜を堆積させる工程と、前記無機絶縁膜上にポリイミド系有機層間絶縁膜を形成する工程と、前記有機層間絶縁膜上にアルミニウムマスクを形成する工程と、前記アルミニウムマスクを用いて前記ポリイミド系有機層間絶縁膜に対し等方性および異方性エッチングを順次行うスルーホール開口工程と、前記ポリイミド系有機層間絶縁膜上からアルミニウムマスクを除去する工程と、該ポリイミド系有機層間絶縁膜をマスクとして前記第1層アルミ配線上の無機絶縁膜をスルーホール内から選択的に除去する異方性エッチング工程と、前記ポリイミド系有機層間絶縁膜上に該スルーホールを介して第1層のアルミ配線と電気接続する第2層

アルミ配線をパターンニング形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特にポリイミド系有機膜を層間絶縁膜に用いた半導体集積回路装置の製造方法に関する。

〔従来の技術〕

従来、半導体集積回路装置の層間絶縁膜には、通常、プラズマCVD窒化シリコン等の無機系の絶縁膜か、またはポリイミド等の有機系の絶縁膜のいずれかが使用されているが、前者に比べて後者のポリイミド等の有機絶縁材料が最も利点とするところは、スピン塗布法による塗布とその後の加熱処理の2工程だけで平坦な層間絶縁膜が容易に形成できることである。従って、最近では、ポリイミド等の有機絶縁膜で層間絶縁膜を形成する多層配線半導体集積回路装置の開発が活発である。

第2図(a)～(i)は層間絶縁膜をポリイ

ミド系有機膜で形成する場合の従来の多層配線半導体集積回路装置の製造方法を示す部分工程図である。この工程図は第1層と第2層のアルミ配線を相互に接続するスルーホール形成工程を示すものであるが、ポリイミド系有機膜の開口には最も一般的な通常のホトレジストマスクが用いられる。すなわち、シリコン基板1上には、まず、第1層のアルミ配線5およびポリイミド系の有機膜7から成る層間絶縁膜が通常の手法で順次形成され、ついで、このポリイミド系の有機膜7上にはスルーホール形成用のホトレジストマスク12がパターン形成される〔第2図(a)～(c)参照〕。ここで、2、3および4はシリコン基板1上にそれぞれ形成されるシリコン酸化絶縁膜、半導体素子の多結晶シリコン電極およびリンガラス膜である。つぎにポリイミド系有機膜7上に良好なカバレージ性のスルーホールを得る目的で、まず、等方性エッチングが行われ続いてホトレジストマスクを12から13につけ代えて行う異方性エッ

ク材も同時にエッチングされてしまうので、開口の大きさが変化してしまうという欠点がある。従って、従来の製造方法では、等方性エッチング時と異方性エッチング時の都度新しいホトレジストをパターン形成する必要があり製造工程が長くなる欠点がある。

本発明の目的は、上記の情況に鑑み、有機層間絶縁膜を高精度に微細加工することのできる半導体装置の製造方法を提供することである。

#### 〔課題を解決するための手段〕

本発明によれば、半導体装置の製造方法は、シリコン基板上に第1層のアルミ配線を形成するパターンニング工程と、前記第1層のアルミ配線に無機絶縁膜を堆積させる工程と、前記無機絶縁膜上にポリイミド系有機層間絶縁膜を形成する工程と、前記有機層間絶縁膜上にアルミニウムマスクを形成する工程と、前記アルミニウムマスクを用いて前記ポリイミド系有機層間絶縁膜に対し等方性および異方性エッチングを順次行うスルーホール開口工程と、前記ポリイ

ミド系有機膜で形成する場合の従来の多層配線半導体集積回路装置の製造方法を示す部分工程図である。この工程図は第1層と第2層のアルミ配線を相互に接続するスルーホール形成工程を示すものであるが、ポリイミド系有機膜の開口には最も一般的な通常のホトレジストマスクが用いられる。すなわち、シリコン基板1上には、まず、第1層のアルミ配線5およびポリイミド系の有機膜7から成る層間絶縁膜が通常の手法で順次形成され、ついで、このポリイミド系の有機膜7上にはスルーホール形成用のホトレジストマスク12がパターン形成される〔第2図(a)～(c)参照〕。ここで、2、3および4はシリコン基板1上にそれぞれ形成されるシリコン酸化絶縁膜、半導体素子の多結晶シリコン電極およびリンガラス膜である。つぎにポリイミド系有機膜7上に良好なカバレージ性のスルーホールを得る目的で、まず、等方性エッチングが行われ続いてホトレジストマスクを12から13につけ代えて行う異方性エッ

#### 〔発明が解決しようとする課題〕

しかしながら、ポリイミド等の有機絶縁膜はホトレジスト等の感光性樹脂膜との間のエッチング選択比が比較的小さいので、このホトレジスト膜をエッチングマスクに用いてポリイミド系有機膜のエッチングを行う場合には、2～3 $\mu$ 程度のきわめて厚いマスクを用いなければ、開口径1 $\mu$ m以下のスルーホールを形成することができない。すなわち、微細加工精度に限界がある。また、この外、異方性エッチングに先立ち行われる等方性エッチングの際、マス

ミド系有機層間絶縁膜上からアルミニウムマスクを除去する工程と、該ポリイミド系有機層間絶縁膜をマスクとして前記第1層アルミ配線上の無機絶縁膜をスルーホール内から選択的に除去する異方性エッチング工程と、前記ポリイミド系有機層間絶縁膜上に該スルーホールを介して第1層のアルミ配線と電気接続する第2層アルミ配線をパターンニング形成する工程とを含んで構成される。

#### 〔作用〕

本発明によれば、ポリイミド系有機膜に対するエッチング加工は、従来のホトレジストに代わりほぼ無限大のエッチング選択比をもつアルミニウムマスクを介して行われる。従って、ポリイミド系有機膜から成る層間絶縁膜を高精度に微細加工することができる。また、スルーホールの形成に際し、等方性と異方性の各エッチング工程を一つのアルミニウムマスクを共用して行うことができるので、製造工程が簡略化される。

## 〔実施例〕

次に図面を参照して本発明を詳細に説明する。

第1図(a)～(i)は本発明を多層配線半導体集積回路装置の製造に実施した場合の一実施例を示す部分工程図である。本実施例によれば、まず第1図(a)に示すように、シリコン基板1上に拡散処理を行い所望の回路素子を形成した後、これら回路素子の多結晶シリコン電極3の表面をリンガラス等の無機絶縁膜4で覆う。次に電極3上のリンガラス4を除去した後、第1層のアルミ配線5のパターニングを行う〔第1図(b)参照〕。次にこの第1層のアルミ配線5上にプラズマCVDシリコン窒化膜6を厚さ1500Å程度形成させる。これはスルーホール形成後の最終段階において、不要となったアルミニウムマスクを除去する際、エッチング液から第1層のアルミ配線5を保護する役割を持たせるためである。この準備を終えた後、この上部にポリイミド系の有機膜7から成

照〕。この際、アルミニウムマスク8上のシリコン膜9はこの等方性エッチングの段階でアルミニウムマスク8上から除去される。ついで異方性エッチング法によりポリイミド系有機膜7を完全に開口し、更に燐酸系の溶液に浸して不要となったアルミニウムマスク8を除去する〔第1図(f)および(g)参照〕。このアルミニウムマスク8の除去の際、第1層のアルミ配線5上に予かじめ成長させておいたプラズマ窒化膜6がアルミ配線5の保護膜として機能するので、第1層のアルミ配線5が燐酸系のエッチング液によって溶出することはない。

従って、ポリイミド系有機膜7をエッチングマスクとしてプラズマ窒化膜6から成る保護膜を異方性エッチング法により除去すれば第1層アルミ配線5と第2層アルミ配線11とを接続するスルーホールを理想的なカパレッジ性を備えた形状に形成することができる〔第1図(h)参照〕。すなわち第2層のアルミニウム配線11をパターニング形成することにより第

層間絶縁膜をスピン塗布法により約1.5μmの厚さに形成する〔第1図(c)参照〕。次にスルーホール形成のためのエッチング用マスクとしてアルミニウム膜を厚さ2000Å程度でスパッタし、更に連続スパッタ法により露光投影パターン形成時の反射防止用シリコン膜を同じく厚さ300Å程度形成した後、フォトリソ法を用いて必要なパターン8,9を形成し、異方性ドライエッチング技術によりマスクアルミを開口しフォトリソをウェット除去する〔第1図(d)参照〕。このとき膜厚約2000Åのアルミをエッチングするのに必要なフォトリソ膜厚は1μm程度の膜厚で充分である。従ってアルミニウムマスク8を1μm以下の開口径をもつように微細パターニングすることが可能である。次に第2層アルミ配線形成時の段切れ防止のため、酸素(O<sub>2</sub>)及び四弗化炭素(CF<sub>4</sub>)等のガスを用いてポリイミド系有機膜7を8000Å程度の深さにわたり等方性エッチングを行う〔第1図(e)参

照〕。この際、アルミニウムマスク8上のシリコン膜9はこの等方性エッチングの段階でアルミニウムマスク8上から除去される。ついで異方性エッチング法によりポリイミド系有機膜7を完全に開口し、更に燐酸系の溶液に浸して不要となったアルミニウムマスク8を除去する〔第1図(f)および(g)参照〕。このアルミニウムマスク8の除去の際、第1層のアルミ配線5上に予かじめ成長させておいたプラズマ窒化膜6がアルミ配線5の保護膜として機能するので、第1層のアルミ配線5が燐酸系のエッチング液によって溶出することはない。

以上は第1層のアルミ配線5の保護膜としてプラズマCVDシリコン膜6を用いた場合を説明したがピンホールの発生がなく、また、ポリイミド系有機膜7との密着性が保たれる膜であれば特別な指定はない。またマスクとして用いるアルミニウムのパターンを形成する際形成する反射防止膜についても、シリコンの代わりに染料入りのレジスト膜を用いてもよい。これにより反射防止膜をつける工程を省略することができる。またアルミニウムマスクを除去するには、上記のウェットエッチングの代わりにプラズマエッチングを用いてもよい。これにより半導体装置の生産性は減少するものの、何度も同じ液を使い回しにするウェット処理に比べて重金属汚染の可能性が小さく、よりクリーンな環境下でマスク除去を行うことが可能となる。

本発明が開示する製造方法に従えば、従来より短い工程で微細なパターンを形成することが

できるので微細構造の半導体装置の製造にきわめて大きな力を発揮する。

〔発明の効果〕

以上詳細に説明したように、本発明によれば、有機層間絶縁膜を従来のフォトレジストマスクに代わり、アルミニウムマスクによりエッチング加工を行うことになるので、有機絶縁膜のサグミクロンルールでの微細加工が可能である。また従来等方性エッチングと異方性エッチングの各々に必要であったフォトレジストによるパターン形成工程を1回で行うことができるため生産性も大幅に向上させることができる。この他にも現在半導体量産工場内に一般的に導入されているアルミニウム関連設備をそのまま使用することができ、新規に装置を導入する必要がないので、重金属汚染の可能性のある他の金属をマスクとして使用した場合に比べてもきわめて有利な製造方法を提供することが可能となる。

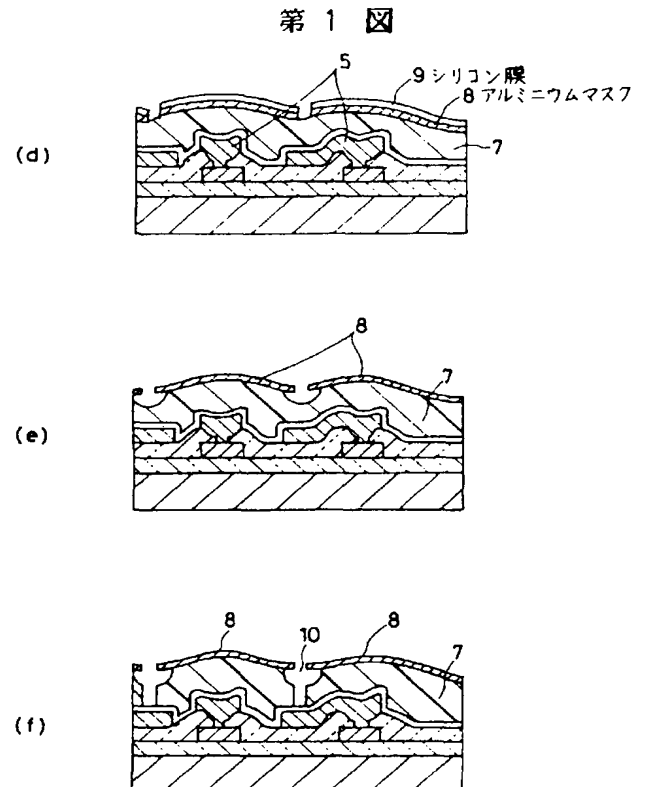
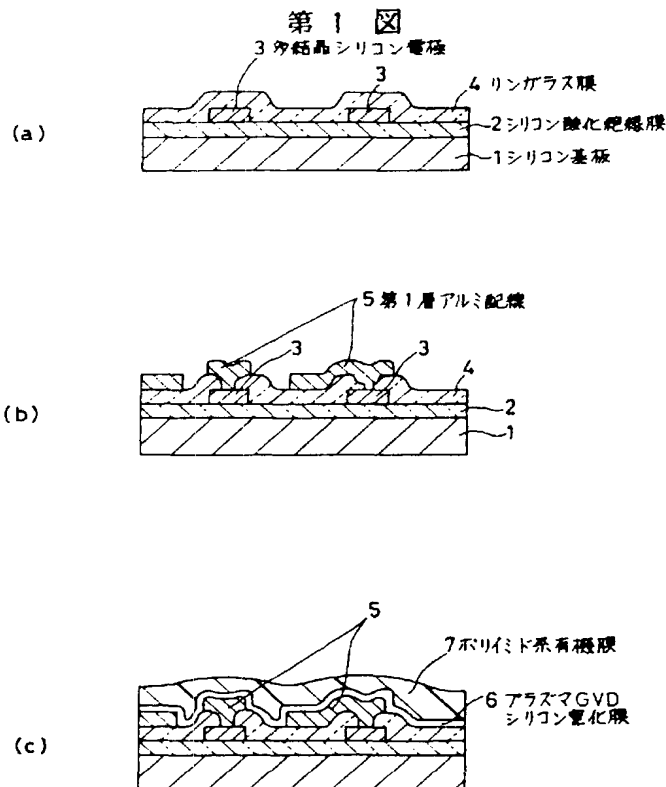
4. 図面の簡単な説明

第1図(a)～(i)は本発明を多層配線半導体集積回路装置の製造に実施した場合の一実施例を示す部分工程図、第2図(a)～(i)は層間絶縁膜をポリイミド系有機膜で形成する場合の従来の多層配線半導体集積回路装置の製造方法を示す部分工程図である。

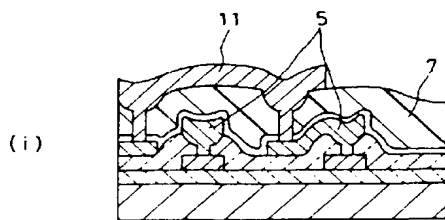
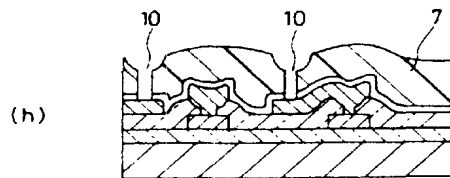
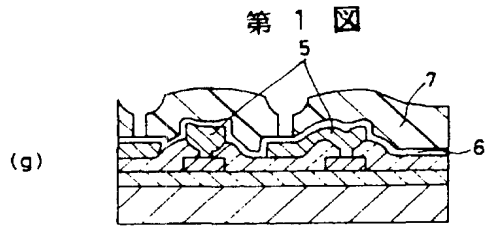
- 1…シリコン基板、
- 2…シリコン酸化絶縁膜、
- 3…多結晶シリコン電極、
- 4…リンガラス層、
- 5…第1層アルミ配線、
- 6…プラズマCVDシリコン窒化膜、
- 7…ポリイミド系有機膜、
- 8…アルミニウムマスク、
- 9…シリコン膜、
- 10…スルーホール開口部、
- 11…第2層アルミ配線。

特許出願人 日本電気株式会社

代理人 弁理士 内 原 晋



第 1 図



第 2 図

